

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-134572

(43) 公開日 平成10年(1998)5月22日

(51) Int. Cl.⁶

G11C 11/407
11/401

識別記号

F I

G11C 11/34 362 S
371 Z

審査請求 未請求 請求項の数 15 OL

(全 21 頁)

(21) 出願番号 特願平9-280777

(22) 出願日 平成9年(1997)10月14日

(31) 優先権主張番号 08/733841

(32) 優先日 1996年10月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ジム・ルイス・ロジャース

アメリカ合衆国 05468 バーモント州
ミルトンハイランド アヴェニュー 9

(74) 代理人 弁理士 坂口 博 (外1名)

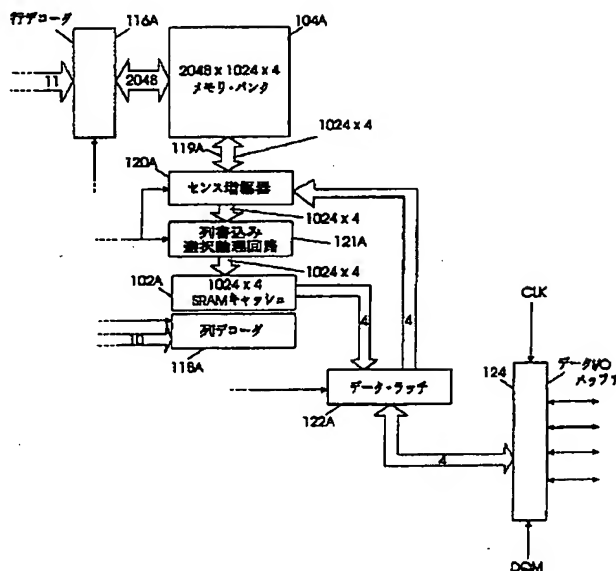
最終頁に続く

(54) 【発明の名称】 キャッシュ SDRAM デバイス

(57) 【要約】

【課題】 マルチバンク・アーキテクチャおよびプログラマブル・キャッシュ・ポリシーを有するキャッシュ SDRAM デバイスを提供する。

【解決手段】 SDRAM バンク 104A と、行レジスタ 102A と、選択論理ゲート回路 121A と、モード・レジスタとを有している。モード・レジスタは、キャッシュ SDRAM を所定のモードで動作するようにプログラムする。さらに、メモリ・バンク・アレイ内のデータ行を選択する行デコーダ 116A と、データ行の所望の列を選択する同期列選択回路 118A を有している。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 マルチバンク・アーキテクチャおよびプログラムブル・キャッシュ・ポリシーを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ（キャッシュSDRAM）デバイスにおいて、

同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを備え、このバンクは、メモリ・バンク・アレイに接続された、前記メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経て前記メモリ・バンク・アレイに接続された、前記行デコーダによって選択された前記データ行をラッチするセンス増幅器と、前記データ行の所望の列を選択する同期列選択手段とを有し、

前記センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタを備え、

前記センス増幅器と前記行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記ビット・ラインに存在する前記データ行を、前記行レジスタに選択的にゲートする選択論理ゲート手段を備え、書き込み動作中に前記キャッシュSDRAMに入力されるデータを、前記センス増幅器によって受取って、前記メモリ・バンク・アレイに書き込み、読取り動作中に前記キャッシュSDRAMから出力されるデータを、前記行レジスタのみから読出し、前記行レジスタに含まれる前記データ行は、最初に、前記メモリ・バンク・アレイから前記センス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記行レジスタに選択的にゲートされ、

書き込みサイクル中に標準SDRAMの通常動作モードに相当する書き込み転送モードで動作し、および書き込みサイクル中に交互動作モードに従う非書き込み転送モードで動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作するように、前記キャッシュSDRAMをプログラムする手段を備える、ことを特徴とするキャッシュSDRAM。

【請求項2】 前記選択論理ゲート手段は、前記プログラミング手段からの制御信号に応答し、書き込み転送モードの際、および書き込みコマンドの発生時に、前記キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記センス増幅器から前記行レジスタに自動的にロードするものであり、さらに、非書き込み転送モードの際および書き込みコマンドの発生時に、キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記行レジスタに転送しないものであり、後者の例では、前記行レジスタは、独立キャッシュ読取りバンクとして働き、前記メモリ・バンク・アレイは、半独立DRAM書き込みバンクとして働く、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項3】 前記SDRAMバンクの同期列選択手段

は、さらに、前記行レジスタによって格納されたデータ行の所望の列を選択する、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項4】 前記行デコーダによって選択されたデータ行が、前記行レジスタにゲートされる読取り動作の後に、および前記メモリ・バンク・アレイ内の同一データ行に影響を与える追加の後続の同期メモリ動作の発生時に、前記選択論理ゲート手段は、ビット・ラインに存在する影響を受けたデータ行を、前記行レジスタにゲートし、これにより行データ・コヒーレンスを保持する、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項5】 第2の同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを備え、このバンクは、第2のメモリ・バンク・アレイに接続された、前記第2のメモリ・バンク・アレイ内の第2のデータ行を選択する第2の行デコーダと、第2のビット・ラインを経て前記第2のメモリ・バンク・アレイに接続された、前記第2の行デコーダによって選択された前記第2のデータ行をラッチする第2のセンス増幅器と、前記第2のデータ行の所望の列を選択する第2の同期列選択手段とを有し、

前記第2のセンス増幅器によってラッチされたデータ行を格納する第2のランダムにアクセス可能な行レジスタを備え、

前記第2のセンス増幅器と前記第2の行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記第2のビット・ラインに存在する前記データ行を、前記第2の行レジスタに選択的にゲートする第2の選択論理ゲート手段を備え、書き込み動作中に前記キャッシュSDRAMの前記第2のSDRAMバンクに入力されるデータを、前記第2のセンス増幅器によって受取って、前記第2のメモリ・バンク・アレイに書き込み、読取り動作中に前記第2のキャッシュSDRAMから出力されるデータを、前記第2の行レジスタのみから読出し、前記第2の行レジスタに含まれる前記データ行は、最初に、前記第2のメモリ・バンク・アレイから前記第2のセンス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記第2の行レジスタに選択的にゲートされる、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項6】 前記プログラミング手段が、モード・レジスタを有する、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項7】 前記プログラミング手段が、ワイヤ・ボンディング・プログラム・オプションを有する、ことを特徴とする請求項1記載のキャッシュSDRAMデバイス。

【請求項8】 前記プログラミング手段が、金属マスク・プログラミング・オプションを有する、ことを特徴とする

る請求項1記載のキャッシュSDRAMデバイス。

【請求項9】 マルチバンク・アーキテクチャを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ（キャッシュSDRAM）デバイスにおいて、プログラマブル・キャッシュ・ポリシーを実行する方法であって、

同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを設けるステップを含み、このバンクは、メモリ・バンク・アレイに接続された、前記メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経て前記メモリ・バンク・アレイに接続された、前記行デコーダによって選択された前記データ行をラッチするセンス増幅器と、前記データ行の所望の列を選択する同期列選択手段とを有し、前記センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタを設けるステップを含み、

前記センス増幅器と前記行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記ビット・ラインに存在する前記データ行を、前記行レジスタに選択的にゲートする選択論理ゲート手段を設けるステップを含み、書込み動作中に前記キャッシュSDRAMに入力されるデータを、前記センス増幅器によって受取って、前記メモリ・バンク・アレイに書込み、読取り動作中に前記キャッシュSDRAMから出力されるデータを、前記行レジスタのみから読出し、前記行レジスタに含まれる前記データ行は、最初に、前記メモリ・バンク・アレイから前記センス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記行レジスタに選択的にゲートされ、書込みサイクル中に標準SDRAMの通常動作モードに相当する書込み転送モードで動作し、および書込みサイクル中に交互動作モードに従う非書込み転送モードで動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作するように、前記キャッシュSDRAMをプログラムするステップを含む、ことを特徴とするプログラマブル・ポリシー実行方法。

【請求項10】 前記選択論理ゲート手段は、前記プログラミング手段からの制御信号に応答し、書込み転送モードの際、および書込みコマンドの発生時に、前記キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記センス増幅器から前記行レジスタに自動的にロードするものであり、さらに、非書込み転送モードの際および書込みコマンドの発生時に、キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記行レジスタに転送しないものであり、後者の例では、前記行レジスタは、独立キャッシュ読取りバンクとして働き、前記メモリ・バンク・アレイは、半独立DRAM書込みバンクとして働く、ことを特徴とする請求項9記載のプログラマ

ブル・ポリシー実行方法。

【請求項11】 前記行デコーダによって選択されたデータ行が、前記行レジスタのゲートにゲートされる読取り動作の後に、および前記メモリ・バンク・アレイ内の同一データ行に影響を与える追加の後続の同期メモリ動作の発生時に、前記選択論理ゲート手段は、ビット・ラインに存在する影響を受けたデータ行を、前記行レジスタにゲートし、これにより行データ・コヒーレンスを保持する、ことを特徴とする請求項9記載のプログラマブル・ポリシー実行方法。

【請求項12】 第2の同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを設けるステップを含み、このバンクは、第2のメモリ・バンク・アレイに接続され、前記第2のメモリ・バンク・アレイ内の第2のデータ行を選択する第2の行デコーダと、第2のビット・ラインを経て前記第2のメモリ・バンク・アレイに接続され、前記第2の行デコーダによって選択された前記第2のデータ行をラッチする第2のセンス増幅器と、前記第2のデータ行の所望の列を選択する第2の同期列選択手段とを有し、

前記第2のセンス増幅器によってラッチされたデータ行を格納する第2のランダムにアクセス可能なレジスタを設けるステップを含み、

前記第2のセンス増幅器と前記第2の行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記第2のビット・ラインに存在する前記データ行を、前記第2の行レジスタに選択的にゲートする第2の選択論理ゲート手段を設けるステップを含み、書込み動作中に前記キャッシュSDRAMに入力されるデータを、前記第2のセンス増幅器によって受取って、前記第2のメモリ・バンク・アレイに書込み、読取り動作中に前記第2のキャッシュSDRAMから出力されるデータを、前記第2の行レジスタのみから読出し、前記第2の行レジスタに含まれる前記データ行は、最初に、前記第2のメモリ・バンク・アレイから前記第2のセンス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記第2の行レジスタに選択的にゲートされる、ことを特徴とする請求項9記載のプログラマブル・ポリシー実行方法。

【請求項13】 前記キャッシュSDRAMプログラミングは、モード・レジスタの利用を含む、ことを特徴とする請求項9記載のプログラマブル・ポリシー実行方法。

【請求項14】 前記キャッシュSDRAMプログラミングは、ワイヤ・ボンディング・オプションの利用を含む、ことを特徴とする請求項9記載のプログラマブル・ポリシー実行方法。

【請求項15】 前記キャッシュSDRAMプログラミングは、金属マスク・オプションの利用を含む、ことを特徴とする請求項9記載のプログラマブル・ポリシー実行方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）デバイスに関し、特に、キャッシュSDRAMおよびそのキャッシュ・ポリシーに関する。

【0002】

【従来の技術】図1および図2は、標準SDRAM、特に2Mビット×4 I/O×2バンクSDRAMのブロック図を示す。SDRAMの他の構造も、知られている（例えば、1Mビット×8 I/O×2バンク、512Mビット×16 I/O×2バンクなど）。典型的なSDRAM10は、アドレス・バッファ12と、第1、第2メモリ・バンク（14A、14B）および対応する行デコーダ（16A、16B）と、列デコーダ（18A、18B）と、センス増幅器（20A、20B）と、データ・ラッチ（22A、22B）とを有している。データ入力/出力バッファ24は、メモリアレイ（すなわち、アレ

イ14Aまたは14B）へ書込まれるデータを受取り、メモリ・アレ

イ（すなわちアレイ14Aまたは14B）から読取られたデータを出力する。

【0003】外部より供給されるシステム・クロック（CLK）信号は、クロック・バッファ26（CLKバッファ）へ入力される。CLK信号は、SDRAM10の種々の機能ブロックにシステム・タイミングを与える。SDRAM10の入力は、CLK信号の立上りエッジでサンプリングされる。外部より供給されるクロック・イネーブル信号（CKE）は、クロック・イネーブル・バッファ28（CKEバッファ）に入力される。CKEバッファ28は、CLKバッファ26およびセルフ・リフレッシュ・クロック30に、イネーブル出力を与える。CKEは、ハイ状態のときCLK信号をアクティベートし、ロー状態のときCLK信号をデアクティベートする。クロックをデアクティベートすることによって、CKEローは、パワーダウン・モード、サスペンド・モード、またはセルフ・リフレッシュ・モードを開始する。セルフ・リフレッシュ・クロック30およびローアドレス・カウンタ32は、セルフ・リフレッシュ・モードを実施する標準的方法で動作する。

【0004】アドレス・バッファ12は、アドレス入力A0～A11を受取り、アドレス・データ・ライン34を経て、コマンド・デコーダ36と、行デコーダ（16A、16B）と、列デコーダ（18A、18B）と、シーケンシャル・コントロール（38A、38B）と、モード・レジスタ40とに、情報を出力する。データ入力/出力バッファ24は、DQ0～DQ3に相当する入力/出力を与える。

【0005】コマンド・デコーダ36は、適切なコマンド信号を出力し、受取る入力信号に従って、SDRAM10の所望の動作を実行する。典型的なSDRAM動作

の例は、読取り動作と書込み動作とを含んでいる。読取り動作中、読取りコマンドを受取ると、SDRAM10は、アドレス・ラインに受け取ったアドレスによって特定される特定のメモリ位置から、データを読取る。同様に、書込み動作中、SDRAMは、データ入力/出力（I/O）ラインDQ0～DQ3に受取ったデータを、アドレス・ラインに受取ったアドレスによって特定される特定のメモリ位置に書込む。SDRAM動作の実行と共に、コマンド・デコーダ36は、バッファ入力を受取る。このバッファ入力は、チップ選択（CS）、行アドレス・ストローブ（RAS）、列アドレス・ストローブ（CAS）、書込みイネーブル（WE）、バンク選択（BS）入力を有している。第1の動作によれば、コマンド・デコーダ36は、コマンド信号を行アドレス・カウンタ32に与え、セルフ・リフレッシュ動作を実行する。他の動作によれば、コマンド・デコーダ36は、モード・レジスタ40と、各メモリ・バンク（14A、14B）のための行/列選択ブロック（16A、16B）と、各メモリ・バンクのためのシーケンシャル・コントロール・ブロック（38A、38B）とに、コマンド信号を与え、所望の同期メモリ動作を適切に実行する。同期メモリ動作では、立上りまたは立下りエッジで、コマンド・デコーダによってデコードされた標準SDRAMコマンドに相当している。モード・レジスタ40は、例えば、各メモリ・バンク（14A、14B）の各連続コントロール（38A、38B）に制御信号を与える。各メモリ・バンクのためのシーケンシャル・コントロールは、各メモリ・バンクに関連する各データ・ラッチを制御する。モード・レジスタ40は、アドレス・バッファ12を経て入力データを受取り、図3に示されるような、動作モード、CAS待ち時間、バーストのタイプ（BT）、バーストの長さをプログラミングする。各メモリ・バンク（14A、14B）のための行/列選択（42A、42B）は、各メモリ・バンク（14A、14B）に関連した、各行デコーダ（16A、16B）および列デコーダ（18A、18B）を制御する。バッファ・データ・マスク入力（DQM）は、データ入力/出力バッファ24に接続され、SDRAMチップ10のデータ入力またはデータ出力のすべてを、選択的にマスクしまたはマスクしない。図1に示すような、SDRAMの読取り、書込み、リフレッシュ、他の典型的な動作のための特定の実行は、技術上既知であり、ここではこれ以上説明しない。

【0006】前述したように、同期DRAM製品は、一般に、技術上知られている。SDRAMの工業標準（例えば、電氣的または機械的）は、制定されている。16Mビット同期DRAM製品の標準には、制御回路、アドレス回路、入力/出力回路のすべてが、外部より供給されたクロックの正のエッジで同期するという要件が含まれている。さらに、アドレス動作の前に、CAS待ち時

間、バースト長さ、バースト・シーケンスは、モード・レジスタ・セット・サイクル中に、アドレス入力A0～A9によって、デバイスにプログラムされなければならない。

【0007】標準同期DRAMが、プログラマビリティによりフレキシブルに、および非同期DRAMでは実現できない高バースト・レートを与えるように設計されているが、残念なことには、標準SDRAMは、ページ・ヒットまたはページ・ミスの初期待ち時間を改善しない。ページ・ヒットは、アクセスされている行がセンス増幅器によって既に検出されており、およびメモリ・アレイまたはメモリ・バンクがオープンするとき、読取りサイクル中に発生する。ページ・ミスは、アクセスされている行がセンス増幅器によって現在検出されていないときに、読取りサイクル中に発生する。ここでは、メモリ・バンクは、最初に、クローズされ、再アクティベートされ、リフレッシュされ、再オープンされなければならない。さらに、標準SDRAMは、DRAMサイクル時間(t_{RC})およびDRAMプリチャージ時間(t_{RP})によって引き起こされるペナルティを軽減しない。多数のメモリ・バンクによって、標準SDRAMは、プリチャージ時間遅延およびサイクル時間遅延の幾分かを隠すために、ユーザが、両メモリ・バンクで同時動作を行うことを可能にする。しかし、この特徴は、格納されているデータが整然としており(orderly)、およびSDRAMを、割込まれていない2つのオープン・バンク間でやり取りすることができるように構成できる場合にのみ、有用である。今日のマルチタスク・コンピュータ動作システムでは、これは手におえないタスクである。したがって、標準SDRAMは、次のようないくつかの性能限界に苦しんでいる。性能限界は、例えば、メモリ・バンド幅を最大限に用いることのできない無能性を含み、およびすべてのメモリ・アクセスに対する不所望なシステム待ち状態をさらに有している。

【0008】

【課題を解決するための手段】本発明の目的は、メモリの待ち時間を減少させ、および同一メモリ・バンクにおいて同時動作を可能にすることによって、すなわちマルチバンク・デバイスの単一メモリ・バンクを用いることによって、標準SDRAMの性能を改善することにある。

【0009】本発明の他の目的は、メモリ・バンド幅の最大限の利用を可能にし、およびすべてのメモリ・アクセスに対するシステム待ち時間を排除することにある。

【0010】本発明によれば、マルチバンク・アーキテクチャおよびプログラマブル・キャッシュ・ポリシーを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ(キャッシュSDRAM)デバイスは、同期ダイナミック・ランダム・アクセス・メモリ(SDRAM)バンクを備え、このSDRAMバンクは、メモリ

・バンク・アレイに接続された行デコーダを有し、メモリ・バンク・アレイ内のデータ行を選択するセンス増幅器が、ビット・ラインを経てメモリ・バンク・アレイに接続され、行デコーダによって選択されたデータ行をラッチする。同期列選択手段が設けられ、データ行の所望の列を選択する。ランダムにアクセス可能な行レジスタが、センス増幅器によってラッチされたデータ行を格納する。選択論理ゲート手段が、センス増幅器と行レジスタとの間に設けられ、実行されるキャッシュSDRAMの特定の同期メモリ動作に従って、ビット・ラインに存在するデータ行を、行レジスタに選択的にゲートする。書込み動作中にキャッシュSDRAMに入力されるデータを、センス増幅器によって受取り、メモリ・バンク・アレイに書込む。読取り動作中にキャッシュSDRAMから出力されるデータを、SDRAMのみから読出す。行レジスタに含まれるデータ行は、最初に、メモリ・バンク・アレイからセンス増幅器に読出され、次に、特定の同期メモリ動作に従って、行レジスタに選択的にゲートされる。キャッシュSDRAMをプログラムする手段が設けられ、書込みサイクル中に標準SDRAMの通常動作モードに相当する書込み転送モード(すなわち、書込み割振りモード)で動作し、および書込みサイクル中に交互動作モードに従う非書込み転送モード(すなわち、非書込み割振りモード)で動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作する。

【0011】あるいはまた、本発明によれば、マルチバンク・アーキテクチャを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ(キャッシュSDRAM)デバイスにおいて、プログラマブル・キャッシュ・ポリシーを実行する方法であって、同期ダイナミック・ランダム・アクセス・メモリ(SDRAM)バンクを設けるステップを含み、このバンクは、メモリ・バンク・アレイに接続された、メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経てメモリ・バンク・アレイに接続された、行デコーダによって選択されたデータ行をラッチするセンス増幅器と、データ行の所望の列を選択する同期列選択手段とを有し、センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタを設けるステップを含み、センス増幅器と行レジスタとの間に設けられ、実行されるキャッシュSDRAMの特定の同期メモリ動作に従って、ビット・ラインに存在するデータ行を、行レジスタに選択的にゲートする選択論理ゲート手段を設けるステップを含み、書込み動作中にキャッシュSDRAMに入力されるデータを、センス増幅器によって受取って、メモリ・バンク・アレイに書込み、読取り動作中にキャッシュSDRAMから出力されるデータを、行レジスタのみから読出し、行レジスタに含まれるデータ行は、最初に、メモリ・バンク・アレイからセン

ス増幅器に読出され、次に、特定の同期メモリ動作に従って、行レジスタに選択的にゲートされ、書込みサイクル中に標準SDRAMの通常動作モードに相当する書込み転送モードで動作し、および書込みサイクル中に交互動作モードに従う非書込み転送モードで動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作するように、キャッシュSDRAMをプログラムするステップを含んでいる。

【0012】

【発明の実施の形態】ダイナミック・ランダム・アクセス・メモリ(DRAM)、および特に同期DRAMは、技術上既知であるので、本発明を、本発明の(あるいは、本発明と直接に協働する)部分を形成する要素について、特に説明する。しかし、特に示されず、あるいは説明されない他の要素も、半導体メモリ技術における当業者に既知の種々の形態をとることができることを理解すべきである。さらに、明瞭にするために、本発明を、16MビットSDRAM(2Mビット×41/0×2バンク)について説明する。他のSDRAMの密度、構成、バンク量が可能である。

【0013】図4および図5は、本発明によるキャッシュSDRAM100のブロック図である。SDRAM100上の8kビット統合キャッシュ102は、各SDRAMバンク(104A, 104B)のための4kビット統合スタティック・ランダム・アクセス・メモリ(行レジスタ)(102A, 102B)を有している。以下に用いられるように、用語“キャッシュ”, “統合行レジスタ”, “スタティック・ランダム・アクセス・メモリ”は、交換可能に用いられ、スタティック・ランダム・アクセス・メモリを意味するように解釈される。さらに、以下の説明は、バンクA(104A)および関連する統合行レジスタ102Aに関係するが、この説明は、バンクB(104B)および関連する行レジスタ102Bにも同様に適用できる。さらに、本発明の以下の詳細な説明は、用語“ヒット”および“ミス”の使用を含んでいる。これら用語は、行レジスタ(以下でさらに説明する)に含まれるデータのページに関連している。“ヒット”は、アクセスされている行が行レジスタに既にあるときに発生するので、メモリ・バンク・アレイの新しい行は、アクセスされる必要はない。“ミス”は、アクセスされている行が、行レジスタに現在あるものではないときに発生する。書込みコマンド上の“ミス”は、行レジスタに影響を与えず、他方、読取りコマンド上の“ミス”は、新しい行を、行レジスタにロードさせる。行レジスタの内容は、一時的な期間中に発生した書込みによって変更されたSDRAMアレイからの最終行読取りに常に等しい。

【0014】SDRAMバンクAの行がアクティベートされると、行データが、関連するセンス増幅器106Aによってラッチされるが、キャッシュ102Aには直接

に転送されない。このことは、キャッシュ102Aの現在の内容を変更することなしに、SDRAMアレイ104Aが、リフレッシュされることを、あるいは新しい行アクセスを開始することを可能にする。しかし、新しい行がアクティベートされた後に、読取りコマンドが発生すると、全行が自動的にキャッシュ102Aに転送され、キャッシュ102Aでは、特定のCAS待ち時間内に、チップ100から読取られる。本発明によれば、すべての読取りコマンドは、SDRAMアレイ(104A, 104B)からSRAMキャッシュ(102A, 102B)を経てデータを同期して取出し、SDRAMアレイ(104A, 104B)を直接にアクセスしない。これは、“書込み転送”モードおよび“非書込み転送”モードに関連して以下にさらに説明する。

【0015】本発明の一態様によれば、キャッシュSDRAMアーキテクチャは、DRAMメモリの同一バンク上でシステムが並行動作を行うことを可能にすることに加えて、メモリの待ち時間を減少させることによって、システム性能を改善する。読取りは本発明によるキャッシュを常にアクセスし、および書込みデータはバッファされるので、キャッシュSDRAMは、SRAM速度でランダム列アクセスを実行することができる。

【0016】行レジスタ(102A, 102B)を用いて、本発明のキャッシュSDRAMは、同一のバンク(それぞれ104A, 104B)に並行動作を実行させることができる。並行動作を実行させるこの能力は、メモリの性能をかなり増大させる。いくつかの例では、標準SDRAMのメモリ・バンド幅に対して、事実上2倍のメモリ・バンド幅となる(図12および図13参照)。

【0017】図4～図6において、マルチバンク・アーキテクチャを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ(キャッシュSDRAM)デバイス100は、同期ダイナミック・ランダム・アクセス・メモリ(SDRAM)を備えている。このSDRAMは、メモリ・バンク・アレイ104Aに接続された行デコーダ116Aを有し、メモリ・バンク・アレイ104A内のデータ行を選択する。センス増幅器120Aは、ビット・ライン119Aを経て、メモリ・バンク・アレイ104Aに接続されており、行デコーダ116Aにより選択されたデータ行をラッチする。列デコーダ118Aが設けられ、データ行の所望の列を選択する。行レジスタ102Aが設けられ、センス増幅器120Aによってラッチされたデータ行を記憶する。SDRAMの列デコーダ118Aは、さらに、行レジスタ102Aによって格納されたデータ行の所望の列を選択する。

【0018】センス増幅器120Aと行レジスタ102Aとの間に、選択論理ゲート手段が設けられ、実行されているキャッシュSDRAM100の特定のメモリ動作に従って、ビット・ライン119Aに存在するデータ行

を選択的にゲートする。選択論理ゲート手段121Aは、センス増幅器120Aから行レジスタ102Aへデータ行の所望のゲーティングを行う適切な論理回路を有している。書込み動作中にキャッシュSDRAM100に入力されるデータは、センス増幅器120Aによって受取られ、メモリ・バンク・アレイ104Aに書込まれる。さらに、読取り動作中にキャッシュSDRAM100から出力されるデータは、行レジスタ102Aのみから読出される。行レジスタ102Aに含まれるデータ行は、メモリ・バンク・アレイ104Aからセンス増幅器120Aに読取られ、特定の同期メモリ動作に従って、行レジスタ102Aに選択的にゲートされたものである。例えば、行デコーダ116Aによって選択されたデータ行が、行レジスタ102Aにゲートされる読取り動作の後に、およびメモリ・バンク・アレイ内の同一のデータ行に影響を与える追加の以降のメモリ動作（書込み動作のような）の発生時に、選択論理ゲート手段121Aは、ビット・ラインに存在する影響されたデータ行をゲートすることができ、これにより行データ・コヒーレンスを保持する。

【0019】上述したことに加えて、本発明のキャッシュSDRAMは、さらに、データ入力／出力（I/O）バッファ124を有し、このバッファは、キャッシュSDRAM100に入力され、キャッシュSDRAM100から出力されるデータを受取る入力ラインを有している。データ・ラッチ122Aは、データI/Oバッファ124と行レジスタ102Aとの間に接続され、行レジスタ102AからデータI/Oバッファ124に出力されるデータをラッチする。データ・ラッチ122Aは、さらに、データI/Oバッファ124とセンス増幅器120Aとの間に接続され、データI/Oバッファ124からセンス増幅器120Aに入力されるデータをラッチする。キャッシュSDRAM100および特に行レジスタ102Aから出力されるデータは、キャッシュSDRAM100に供給される外部クロック信号と同期した同期データである。

【0020】マイクロプロセッサまたはメモリ・コントローラのような制御手段（図示せず）を用いて、キャッシュSDRAM100を制御して、行レジスタ102Aと、マルチバンク・アーキテクチャの同一バンク104Aの対応するメモリ・バンク・アレイとで、並行メモリ動作を発生できるようにすることができる。制御手段は、キャッシュSDRAM100を制御して、行レジスタ102Aにおけるバースト読取り動作と、マルチバンク・アーキテクチャの同一バンクのメモリ・バンク・アレイ104Aにおけるバンク・プリチャージ動作とを、同時に発生させることができる。あるいはまた、制御手段は、キャッシュSDRAM100を制御して、行レジスタ102Aにおけるバースト読取り動作と、マルチバンク・アーキテクチャの同一バンクの対応するメ

モリ・バンク・アレイ104Aにおけるバンク・アクティベート動作とを、同時に発生させることができる。制御手段は、さらに、キャッシュSDRAM100を制御して、行レジスタ102Aにおけるバースト読取り動作と、マルチバンク・アーキテクチャの同一バンクの対応するメモリ・バンク・アレイ104Aにおけるバンク・リフレッシュ動作とを、同時に発生させることができる。

【0021】本発明のキャッシュSDRAM100は、さらに、第2の同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクと、第2のセンス増幅器と、第2の列デコーダとを備えている。第2のSDRAMは、第2のメモリ・バンク・アレイに接続された第2の行デコーダを有し、第2のメモリ・バンク・アレイにおいて第2のデータ行を選択する。第2のセンス増幅器は、第2のビット・ラインを経て第2のメモリ・バンク・アレイに接続されており、第2の行デコーダによって選択されたデータ行をラッチする。第2の列デコーダは、データ行の所望の列を選択する。ランダムにアクセス可能な第2の行レジスタは、第2のセンス増幅器によってラッチされたデータ行を格納する。センス増幅器と統合された第2の選択論理ゲート手段106Bが、第2のセンス増幅器と第2の行レジスタ102Bとの間に設けられ、実行されているキャッシュSDRAMの特定のメモリ動作に従って、第2のビット・ラインに存在するデータ行を、行レジスタ102Bにゲートする。書込み動作中にキャッシュSDRAM100の第2のSDRAMバンクに入力されるデータは、第2のセンス増幅器106Bによって受取られ、第2のメモリ・バンク・アレイ104Bに書込まれる。読取り動作中にキャッシュSDRAMの第2のSDRAMバンクから出力されるデータは、第2の行レジスタ102Bのみから読出される。第2の行レジスタ102Bに含まれるデータ行は、最初に第2のメモリ・バンク・アレイ104Bから第2のセンス増幅器に読取られ、次に特定の同期メモリ動作に従って、第2の行レジスタ102Bに選択的にゲートされる。

【0022】図9、図10、図11を参照して、並行動作が可能となることを説明し、並行動作をどのように用いて、メモリ性能を最大にし、システムの待ち状態を最小にするかを説明する。

【0023】図9（図4～図7と共）において、バンク・アクティベート・コマンドが、キャッシュSDRAMに与えられると、メモリ内の行が選択され、センス増幅器106Aによってデータがラッチされる。この時点で、キャッシュ102Aの内容は、未変更のままである。読取りコマンドが発行されると、選択されたすべての行が、1クロック・サイクル内にキャッシュ102Aに転送され、最初の読取り命令が、2クロック・サイクル内に出力に現れる。読取りコマンドに続くクロック・

サイクルで、行データが、キャッシュ102Aおよびセンス増幅器106Aの両方において、ラッチされる。すべての読取りは、キャッシュ102Aからデータを取り出し、アレイ104Aをアクセスしないので、DRAMアレイ104Aは、もはや、オープンに保持されることは必要ではない。その結果、DRAMアレイ104Aを、読取りコマンドに続くクロック・サイクルで、自動プリチャージ機能（自動プリチャージによる読取り）を用いて、プリチャージすることができる。手動プリチャージ・コマンドは、このときには用いることができない。というのは、手動プリチャージ・コマンドは、バースト読取りを終了させるからである。標準SDRAMとのバックワード（backward）互換性を保持するためには、バーストの手動プリチャージ終了を、本発明のキャッシュSDRAMで行うことに留意すべきである。バーストを終了するためには、手動プリチャージ・コマンドを、読取りバーストの終了の前の2クロック・サイクル内に与えることができる。SDRAMアレイ104Aがいったんプリチャージされると、システム（図示せず）は、自動リフレッシュ・コマンド（図9の時刻T5）および/または他のバンク・アクティベート・コマンドを、キャッシュ（すなわちページ）読取りアクセス中に、同一または異なるバンクに発行することができる。

【0024】キャッシュ（ページ）読取り中にバンク・アクティベートを実行するキャッシュSDRAMの能力は、システムに、同一のバンクへメモリ・アクセスをパイプライン処理するオプションを与えることができる。これは、コントローラによって行われる。このコントローラは、オープン・ページをクローズし、次の行アクセス（同一のページへの）を開始し、他方、キャッシュに保持された前の行からの読取りデータをバースト・アウトする（図10）。パイプライン処理を用いて、プリチャージ時間およびページ・ミスの t_{RCD} を、読取りバーストおよびCAS待ち時間の一部の間に、完全に隠すことができる。これは、キャッシュSDRAM100の非常に大きな特徴であり、ランダム行読取りの場合には、パイプライン処理を、メモリのバンド幅の2倍より大きくすることができる（図12および図13）。行キャッシュは、また、図11に示すように、読取りサイクルが続く書込みミス・サイクルの待ち時間の幾分かを隠すために、用いることができる。

【0025】キャッシュSDRAMの減少した待ち時間を、メモリ・アクセス・サイクルをオーバーラップさせる能力と組合せることは、キャッシュSDRAMに、標準SDRAMを越えるかなりの性能利点を与える（図12および図13参照）。すなわち、キャッシュSDRAMは、読取りページ・ミスの待ち時間を、読取りページ・ヒットの待ち時間にまで減少させることができ、これにより、同一のクロック周波数で動作するSDRAMに対し、メモリの性能を2倍以上とする。書込みバースト

を、パイプライン処理することができないことに留意すべきである。これは、入力データの最後のビットが、メモリ・セルに適切に格納されるまで、DRAMは、書込みサイクル中に、オープンに保持されなければならない、プリチャージできないという事実による。

【0026】図4～図8において、DRAMセンス増幅器（106A、106B）からの行データは、キャッシュ（102A、102B）に転送される。これは、バンク・アクティベート・コマンドの後に発生する最初の読取りまたは書込みコマンドによる（および書込みコマンドに対して、書込み転送モードであるチップの例においてのみである）。同じ行に対する以降の読取りまたは書込みコマンドは、キャッシュ（102a、102b）をロードせず、キャッシュの内容は、未変更のままである。言い換えれば、同じ行に対する多数の読取りは、その都度のキャッシュの再ロードを生じさせない。

【0027】本発明の他の実施例によれば、マルチバンク・アーキテクチャおよびプログラマブル・キャッシュ・ポリシーを含むキャッシュ同期ダイナミック・ランダム・アクセス・メモリ（キャッシュSDRAM）デバイス100は、同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを有している。このSDRAMは、行デコーダ116Aと、センス増幅器120Aと、列デコーダ118Aとを有している。行デコーダ116Aは、メモリ・バンク・アレイ104Aに接続され、メモリ・バンク・アレイ104A内のデータ行を選択する。センス増幅器120Aは、ビット・ライン119Aを経てメモリ・バンク・アレイ104Aに接続され、行デコーダ116Aによって選択されたデータ行をラッチする。列デコーダ118Aは、データ行の所望の列を選択する。ランダムにアドレス可能な行レジスタ102Aは、センス増幅器120Aによってラッチされたデータ行を格納する。選択論理ゲート手段121Aは、センス増幅器120Aと行レジスタ102Aとの間に設けられ、実行されているキャッシュSDRAM100の特定の同期メモリ動作に従って、ビット・ライン119Aに存在するデータ行を、行レジスタ102Aに選択的にゲートする。書込み動作中にキャッシュSDRAM100に入力されるデータは、センス増幅器120Aによって受取られ、メモリ・バンク・アレイ104Aに書込まれる。読取り動作中にキャッシュSDRAM100から出力されるデータは、行レジスタ102Aのみから読出される。行レジスタ102Aに含まれるデータ行は、最初にメモリ・バンク・アレイ104Aからセンス増幅器120Aに読出され、特定のメモリ動作に従って、行レジスタ102Aに選択的にゲートされる。SDRAMの列デコーダ118Aが、さらに設けられて、行レジスタ102Aによって格納されたデータ行の所望の列を選択する。行デコーダによって選択されたデータ行が行レジスタ102Aにゲートされる読取り動作の後に、およ

びメモリ・バンク・アレイ内の同じデータ行に影響を与える追加の以降のメモリ動作の発生時に、選択論理ゲート手段121Aが、ビット・ラインに存在する影響されたデータ行を、行レジスタ102Aにゲートし、これにより行データ・コヒーレンスを保持する。

【0028】キャッシュSDRAM100のプログラミングのための手段108を設けて、書き込みサイクル中に工業標準のSDRAMの通常動作モードに相当する書き込み転送モード（すなわち、書き込み割振りモード）で動作させ、および書き込みサイクル中に交互動作モードに従う非書き込み転送モード（すなわち、非書き込み割振りモード）で動作させ、これによりそれぞれ、第1および第2のキャッシュ・ポリシーの下で動作する。好ましくは、プログラミング手段は、図7および図8により以下にさらに詳細に説明するように、モード・レジスタ108を有している。あるいはまた、プログラミングを、ワイヤボンディングまたは金属マスクのオプションのような他の手段によって、行うこともできる。

【0029】選択論理ゲート手段121Aは、プログラミング手段108からの制御信号に応答する。この場合に、書き込み転送モードの際および書き込みコマンドの発生時に、キャッシュ・ポリシーは、次のようになる。すなわち、選択論理ゲート手段121Aは、前にアクティベートされた行を、SDRAMアレイ104Aから行レジスタ102Aに自動的にロードする。さらに、非書き込み転送モードの際および書き込みコマンドの発生時に、キャッシュ・ポリシーは、次のようになる。すなわち、選択論理ゲート手段121Aは、前にアクティベートされた行を、行レジスタ102Aに転送しない。この場合、後者の例では、行レジスタ102Aは、独立キャッシュ読取りバンクとして働き、SDRAMアレイ104Aは、半独立DRAM書き込みバンクとして働く。

【0030】キャッシュSDRAM100は、さらに、第2の同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを備えることができる。このバンクは、第2の行デコーダと、第2のセンス増幅器と、第2の列デコーダとを有している。第2の行デコーダは、第2のメモリ・バンク・アレイに接続され、第2のメモリ・バンク・アレイ内の第2データ行を選択する。第2のセンス増幅器は、第2のビット・ラインを経て、第2のメモリ・バンク・アレイに接続され、第2の行デコーダによって選択されたデータ行をラッチする。第2の列デコーダは、データの行の所望の列を選択する。第2のランダムにアドレス可能な行レジスタを設けて、第2のセンス増幅器によってラッチされたデータ行を格納する。さらに、第2のセンス増幅器と第2の行レジスタとの間に第2の選択論理ゲート手段を設けて、第2のビット・ラインに存在するデータ行を、実行される特定のメモリ動作に従って、第2の行レジスタに選択的にゲートする。書き込み動作中に第2のSDRAMに入力されるデ

ータは、第2のセンス増幅器によって受取られ、第2のメモリ・バンク・アレイに書込まれる。読取り動作中に第2のSDRAMから出力されるデータは、第2の行レジスタからのみ読出され、第2の行レジスタに含まれるデータの行は、最初に、第2のメモリ・バンク・アレイから第2のセンス増幅器に読出され、次に、特定のメモリ動作に従って、第2の行レジスタに選択的にゲートされる。

【0031】本発明の他の態様によれば、マルチバンク・アーキテクチャを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ（キャッシュSDRAM）において、プログラマブル・キャッシュ・ポリシーを実行する方法は、以下のステップを含んでいる。

【0032】同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを設けるステップを含み、このバンクは、メモリ・バンク・アレイに接続された、メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経てメモリ・バンク・アレイに接続された、行デコーダによって選択されたデータ行をラッチするセンス増幅器と、データ行の所望の列を選択する列デコーダとを有し、センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタ（ROW REGISTER）を設けるステップを含み、センス増幅器と行レジスタとの間に設けられ、実行されるキャッシュSDRAMの特定の同期メモリ動作に従って、ビット・ラインに存在するデータ行を、行レジスタに選択的にゲートする選択論理ゲート手段を設けるステップを含み、書き込み動作中に前記キャッシュSDRAMに入力されるデータを、センス増幅器によって受取ってメモリ・バンク・アレイに書き込み、読取り動作中にキャッシュSDRAMから出力されるデータを、行レジスタのみから読出し、行レジスタに含まれるデータ行は、最初に、メモリ・バンク・アレイからセンス増幅器に読出され、次に、特定の同期メモリ動作に従って、行レジスタに選択的にゲートされ、書き込みサイクル中に工業標準SDRAMの通常動作モードに相当する書き込み転送モードで動作し、および書き込みサイクル中に非書き込み転送モードで動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作するように、キャッシュSDRAMをプログラムするステップを含んでいる。

【0033】さらに、この方法は、選択論理ゲート手段を設ける工程を含み、この選択論理ゲート手段は、プログラミング手段からの制御信号に応答し、書き込み転送モードの際および書き込みコマンドの発生時に、キャッシュ・ポリシーは、選択論理ゲート手段が、前にアクティベートされた行を、SDRAMから行レジスタに自動的にロードする。さらに、非書き込み転送モードの際および書き込みコマンドの発生時に、キャッシュ・ポリシーは、選択論理ゲート手段が、前にアクティベートされた行を、

行レジスタに転送しないものであり、後者の例では、行レジスタは、独立キャッシュ読取りバンクとして働き、SDRAMバンクは、半独立DRAM書込みバンクとして働く。さらに、この方法は、行デコーダによって選択されたデータ行が、行レジスタのゲートにゲートされる読取り動作の後に、およびメモリ・バンク・アレイ内の同一データ行に影響を与える追加の後続の同期メモリ動作の発生時に、選択論理ゲート手段は、ビット・ラインに存在する影響を受けたデータ行を、行レジスタにゲートし、これにより行データ・コヒーレンスを保持する。

【0034】本発明のプロプログラマブル・キャッシュ・ポリシー方法は、さらに第2の同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）バンクを設けるステップを含み、このバンクは、第2のメモリ・バンク・アレイに接続され、第2のメモリ・バンク・アレイ内の第2のデータ行を選択する第2の行デコーダと、第2のビット・ラインを経て第2のメモリ・バンク・アレイに接続され、第2の行デコーダによって選択された第2のデータ行をラッチする第2のセンス増幅器と、第2のデータ行の所望の列を選択する第2の同期列選択手段とを有している。第2のランダムにアクセス可能なレジスタを設けて、第2のセンス増幅器によってラッチされたデータ行を格納する。第2の選択論理ゲート手段を、第2のセンス増幅器と第2の行レジスタとの間に設け、実行されるキャッシュSDRAMの特定の同期メモリ動作に従って、第2のビット・ラインに存在するデータ行を、第2の行レジスタに選択的にゲートする。書込み動作中にキャッシュSDRAMに入力されるデータを、第2のセンス増幅器によって受取り、第2のメモリ・バンク・アレイに書込み、読取り動作中に第2のキャッシュSDRAMから出力されるデータを、第2の行レジスタからのみ読出す。第2の行レジスタに含まれるデータ行は、最初に、第2のメモリ・バンク・アレイから第2のセンス増幅器に読出され、次に、特定の同期メモリ動作に従って、第2の行レジスタに選択的にゲートされる。

【0035】動作の転送モードおよび非書込み転送モードをさらに説明すると、本発明は、プログラマブル・キャッシュ・ポリシーを組入れて、最大のデバイス・フレキシビリティを与える。この特徴は、キャッシュSDRAMのユーザが、特定の応用に対してキャッシュSDRAMのキャッシュを最適化することを可能にし、その結果、最適のメモリ性能および互換性が得られる。本発明について、モード・レジスタ108が、図4、図5および図8に示すように、好適に用いられて、特定の対応に、動作の書込み転送モードまたは非書込み転送モードのいずれが用いられるかを選択する。モード・レジスタ・セット・サイクルの際、通常／書込み割振り（書込み転送）モードまたは非書込み割振り（非書込み転送）モードが、図8に示すように、アドレス・ラインA7～A11の内容に基づいて選択される。

【0036】新しい行アクティベートの後に、書込みコマンドが発生すると、モード・レジスタ108が照会されて、センス増幅器（106A、106B）からのデータがキャッシュ（102A、102B）にロードされるか否か、すなわちセンス増幅器からのワードライン・データをキャッシュに転送するか否かを決定する。モード・レジスタ108が、キャッシュSDRAM100チップが書込み転送モードにあることを指示すれば、書込みコマンドは、センス増幅器のデータを、SDRAMアレイ（104A、104B）からキャッシュ（102A、102B）へロードさせる。モード・レジスタ108が、キャッシュSDRAM100チップが非書込み転送モードにあることを指示すれば、書込みコマンドは、キャッシュ（102A、102B）へのセンス増幅器のデータの自動転送を生じさせない。書込みヒットが発生するならば（すなわち、書込みページが既にキャッシュにあると）、キャッシュSDRAM100は、データがDRAMアレイ（104A、104B）に書込まれると、自動的にキャッシュを更新する（図7および図8参照）。

【0037】キャッシュSDRAMが書込み転送（通常）モードで用いられる例では、書込みミスは、新しいデータ行を、アクティベートさせ、SDRAMアレイ（104A、104B）からキャッシュ（102A、102B）へ転送させて、キャッシュ（102A、102B）に格納された前の情報を上書きする。読取り動作は、常に、キャッシュ（102A、102B）をロードするので、SDRAMセンス増幅器（106A、106B）内の行データは、書込みまたは読取りコマンドが与えられた後のキャッシュ・データに常に等しくなる。したがって、書込み転送モードでは、1つのバンク（104A、104B）あたり、たった1つのDRAMキャッシュが、読取りまたは書込みのために利用できる（図7参照）。

【0038】再び図9において、書込み転送モードの詳細な説明を行う。読取りミスが発生すると、バンク・アクティベート・コマンドが、新しい行に対して発行されなければならない。時間 t_{RCD} の後、読取りコマンドまたは自動プリチャージ・コマンドによる読取りコマンドを、新しい行からデータをアクセスするために、キャッシュSDRAMに与えることができる。時刻T0に読取りコマンドが発生されると、行Xからのデータが、同一クロック・サイクルでSDRAMバンクからキャッシュに転送される。自動プリチャージ機能が呼出されると、DRAMプリチャージが、読取りコマンドに続くクロック・サイクルで開始する。2クロック・サイクル後に、SDRAMバンクが、クローズまたはプリチャージされ、および同一バンクからの新しい行Yをアクティベートすることができる（クロック時刻T3）。時刻T5で書込みコマンドが発行されると、キャッシュSDRAM

は、センス増幅器のデータ（行Y）を、キャッシュに転送する。この時点で、SDRAMセンス増幅器およびキャッシュは、同じ情報（行Y）を保持している。以降の読取りコマンドは、キャッシュからの行Yの列データを読取る（図9の時刻T7～T9参照）。同様に、以降の書込みコマンドは、センス増幅器に保持されている行Yにデータを同時に書込み、キャッシュの行Yを更新する。

【0039】SDRAMセンス増幅器102Aおよびキャッシュ106Aは、読取りまたは書込みコマンドが発行された後に、同一の行を常に保持するので、メモリ・コントローラ（図示せず）は、キャッシュSDRAMの1バンクあたり、ただ1つのページ・タグを必要とする。これは、工業標準SDRAMに要求される1バンクあたり、同一数のページ・タグである。さらに、SDRAM/キャッシュ・バンク（104A, 102A）の制御は、標準SDRAMのDRAMバンクの制御と同じである。標準SDRAMとのさらなる互換性のためには、書込み転送モードのバイナリ・コードは、工業標準SDRAMの通常動作モードに対するコードに相当する（図8参照）。これらの特徴は、キャッシュSDRAMを、SDRAMと100%互換性があるようにすることを助け、既存のメモリ・コントローラおよびシステム（図示せず）になんらの変更を行うことなく、キャッシュSDRAMが標準SDRAMに置換わることができる。

【0040】キャッシュSDRAMが非書込み転送モードに置かれると、書込みミスは、新しい行を、キャッシュに転送しない（図7参照）。代わりに、新しい行が、DRAMセンス増幅器において更新され、これにより、キャッシュの内容が影響されないままとする。このことは、キャッシュSDRAMが、同一のDRAMバンクにおいて、読取りページおよび書込みを同時にオープンさせることを、都合良く可能にする。

【0041】再び図10を参照して、非書込み転送モードについて、さらに説明する。読取りミスが発生すると、バンク・アクティベート・コマンドが発行されて、新しい行をアクティベートしなければならない。時間 t_{RCD} の後に、新しい行からのデータをアクセスするために、読取りコマンドをキャッシュSDRAMに与えることができる。読取りコマンドが時刻T0で発生されると、行Xからのデータは、同一クロック・サイクルで、SDRAMからキャッシュに転送される。自動プリチャージ機能が呼出されると、SDRAMプリチャージが、読取りコマンドに続くクロック・サイクルで開始される。2クロック・サイクルの後、SDRAMバンクがクローズされ、新しい行Yをアクティベートすることができる。書込みコマンドが、時刻T5で発行されると、キャッシュSDRAMは、行Yをキャッシュにロードしない。代わりに、書込みデータを用いて、SDRAMセンス増幅器106Aを更新し、キャッシュ102Aは影響

を受けないままである。この時点で、列読取り/書込みが発生するバンク内にはオープンしている2つの行（行Xおよび行Y）がある。以降の読取りコマンドは、キャッシュ内の行Xから列データを読取る（図10の時刻T7～T9を参照）。同様に、以降の書込みコマンドは、データをSDRAM内の行Yに書込む。読取りコマンドに続いて、SDRAMがプリチャージされず、行Yが再アクティベートされなければ、データを行Yから読取ることができない。同様に、書込みコマンドに続いて、SDRAMがプリチャージされず、行Xが再アクティベートされなければ、データを行Xに書込むことができない。

【0042】上述した非書込み転送モード・セットアップは、次のようなシステム（図示せず）に対して理想的である。すなわち、メモリの1ページからデータを読取って、データを処理し、その結果を、メモリの異なるページに書戻すシステムである。この場合、キャッシュSDRAMは、読取りページおよび書込みページの両方を、同一のバンクにおいて同時にオープンさせることができる。さらに、データ・コピー動作およびデータ移動動作が多く発生する応用は、本発明に従ってキャッシュSDRAMの非書込み転送モードを用いる性能上の利点を有利に獲得することができる。

【0043】このようにキャッシュSDRAM100は、SDRAMに対し進化的な改良を示す。例えば、キャッシュSDRAM100の構成は、工業標準のSDRAM（例えば、16MビットSDRAM）とバックワード互換性を保持するように、実現されている。本発明のキャッシュSDRAM100は、次のようにすることによって、SDRAMとのバックワード互換性を保持する。すなわち、(i) SDRAMコマンド、アドレス、データ・セットアップ/ホールド時間をサポートし、

(i i) 工業標準の16MビットSDRAMと同じピン・アウトおよびパッケージを用い、(i i i) SDRAMと同じコマンド、定義、コマンド・シーケンス、真理値表を用い、(i v) すべての動作周波数で3つのCAS待ち時間の動作に対するサポートを与える。前記(i v)について簡単に説明すると、キャッシュSDRAMは、2つのCAS待ち時間に対し83MHz～133MHzの範囲の周波数で動作する。すべてのこれらの周波数で動作するためには、標準SDRAMは3のCAS待ち時間を必要とする。その結果、キャッシュSDRAMは、その動作周波数で、2および3のCAS待ち時間の動作をサポートする。例えば、100MHz CAS待ち時間キャッシュSDRAM部分は、100MHz CAS待ち時間3SDRAMコントロールで動作する。しかし、SDRAMコントロールが、キャッシュSDRAMの性能改良を利用しないならば、キャッシュSDRAMの性能は、この状況におけるSDRAMと同じである。

【0044】機能性の点から、本発明によるキャッシュ

SDRAMを、標準SDRAMとプラグ互換性とすることができる。さらに、SDRAM制御信号が与えられると、標準SDRAMのように動作するのに、ここで示すようにプログラムすることができる。

【0045】ここで説明するように、キャッシュSDRAMは、標準SDRAMの性能制限を、有利に解決する。例えば、キャッシュSDRAMは、すべての読取り動作を、行レジスタから発生させることによって、標準SDRAMの列待ち時間を減少させる。さらに、キャッシュSDRAMは、同一バンクでの並行動作をサポートすることによってメモリ性能を増大させる。したがって、SDRAMの待ち時間を隠すためには、アクセスをパイプラインし、コマンドをオーバーラップさせることができる。これらの変化は、同一のクロック周波数で、標準SDRAMに対し2倍以上のメモリ性能につながる

(図12および図13)。キャッシュSDRAMの構成は、ユーザが、メモリ・バンド幅を最大限に利用し、すべてのメモリ・アクセスに対して待ち状態を排除することを可能にする進化的変化を示している。

【0046】本発明を、特定の実施例によって説明したが、当業者であれば、種々の変形が可能であり、本発明の趣旨と範囲から逸脱することなく、本発明の他の実施例を実現できることがわかるであろう。

【0047】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) マルチバンク・アーキテクチャおよびプログラマブル・キャッシュ・ポリシーを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ (キャッシュSDRAM) デバイスにおいて、同期ダイナミック・ランダム・アクセス・メモリ (SDRAM) バンクを備え、このバンクは、メモリ・バンク・アレイに接続された、前記メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経て前記メモリ・バンク・アレイに接続された、前記行デコーダによって選択された前記データ行をラッチするセンス増幅器と、前記データ行の所望の列を選択する同期列選択手段とを有し、前記センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタを備え、前記センス増幅器と前記行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記ビット・ラインに存在する前記データ行を、前記行レジスタに選択的にゲートする選択論理ゲート手段を備え、書込み動作中に前記キャッシュSDRAMに入力されるデータを、前記センス増幅器によって受取って、前記メモリ・バンク・アレイに書込み、読取り動作中に前記キャッシュSDRAMから出力されるデータを、前記行レジスタのみから読出し、前記行レジスタに含まれる前記データ行は、最初に、前記メモリ・バンク・アレイから前記センス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記行レジ

タに選択的にゲートされ、書込みサイクル中に標準SDRAMの通常動作モードに相当する書込み転送モードで動作し、および書込みサイクル中に交互動作モードに従う非書込み転送モードで動作し、これにより、それぞれ第1および第2のキャッシュ・ポリシーの下で動作するように、前記キャッシュSDRAMをプログラムする手段を備える、ことを特徴とするキャッシュSDRAM。

(2) 前記選択論理ゲート手段は、前記プログラミング手段からの制御信号に応答し、書込み転送モードの際、および書込みコマンドの発生時に、前記キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記センス増幅器から前記行レジスタに自動的にロードするものであり、さらに、非書込み転送モードの際および書込みコマンドの発生時に、キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記行レジスタに転送しないものであり、後者の例では、前記行レジスタは、独立キャッシュ読取りバンクとして働き、前記メモリ・バンク・アレイは、半独立DRAM書込みバンクとして働く、ことを特徴とする上記(1)に記載のキャッシュSDRAMデバイス。

(3) 前記SDRAMバンクの同期列選択手段は、さらに、前記行レジスタによって格納されたデータ行の所望の列を選択する、ことを特徴とする上記(1)に記載のキャッシュSDRAMデバイス。

(4) 前記行デコーダによって選択されたデータ行が、前記行レジスタにゲートされる読取り動作の後に、および前記メモリ・バンク・アレイ内の同一データ行に影響を与える追加の後続の同期メモリ動作の発生時に、前記選択論理ゲート手段は、ビット・ラインに存在する影響を受けたデータ行を、前記行レジスタにゲートし、これにより行データ・コヒーレンスを保持する、ことを特徴とする上記(1)に記載のキャッシュSDRAMデバイス。

(5) 第2の同期ダイナミック・ランダム・アクセス・メモリ (SDRAM) バンクを備え、このバンクは、第2のメモリ・バンク・アレイに接続された、前記第2のメモリ・バンク・アレイ内の第2のデータ行を選択する第2の行デコーダと、第2のビット・ラインを経て前記第2のメモリ・バンク・アレイに接続された、前記第2の行デコーダによって選択された前記第2のデータ行をラッチする第2のセンス増幅器と、前記第2のデータ行の所望の列を選択する第2の同期列選択手段とを有し、前記第2のセンス増幅器によってラッチされたデータ行を格納する第2のランダムにアクセス可能な行レジスタを備え、前記第2のセンス増幅器と前記第2の行レジスタとの間に設けられ、実行される前記キャッシュSDRAMの特定の同期メモリ動作に従って、前記第2のビット・ラインに存在する前記データ行を、前記第2の行レジスタに選択的にゲートする第2の選択論理ゲート手段

を備え、書込み動作中に前記キャッシュ SDRAM の前記第 2 の SDRAM バンクに入力されるデータを、前記第 2 のセンス増幅器によって受取って、前記第 2 のメモリ・バンク・アレイに書込み、読取り動作中に前記第 2 のキャッシュ SDRAM から出力されるデータを、前記第 2 の行レジスタのみから読出し、前記第 2 の行レジスタに含まれる前記データ行は、最初に、前記第 2 のメモリ・バンク・アレイから前記第 2 のセンス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記第 2 の行レジスタに選択的にゲートされる、ことを特徴とする上記 (1) に記載のキャッシュ SDRAM デバイス。

(6) 前記プログラミング手段が、モード・レジスタを有する、ことを特徴とする上記 (1) に記載のキャッシュ SDRAM デバイス。

(7) 前記プログラミング手段が、ワイヤ・ボンディング・プログラム・オプションを有する、ことを特徴とする上記 (1) に記載のキャッシュ SDRAM デバイス。

(8) 前記プログラミング手段が、金属マスク・プログラミング・オプションを有する、ことを特徴とする上記 (1) に記載のキャッシュ SDRAM デバイス。

(9) マルチバンク・アーキテクチャを有するキャッシュ同期ダイナミック・ランダム・アクセス・メモリ

(キャッシュ SDRAM) デバイスにおいて、プログラマブル・キャッシュ・ポリシーを実行する方法であって、同期ダイナミック・ランダム・アクセス・メモリ

(SDRAM) バンクを設けるステップを含み、このバンクは、メモリ・バンク・アレイに接続された、前記メモリ・バンク・アレイ内のデータ行を選択する行デコーダと、ビット・ラインを経て前記メモリ・バンク・アレイに接続された、前記行デコーダによって選択された前記データ行をラッチするセンス増幅器と、前記データ行の所望の列を選択する同期列選択手段とを有し、前記センス増幅器によってラッチされたデータ行を格納するランダムにアクセス可能な行レジスタを設けるステップを含み、前記センス増幅器と前記行レジスタとの間に設けられ、実行される前記キャッシュ SDRAM の特定の同期メモリ動作に従って、前記ビット・ラインに存在する前記データ行を、前記行レジスタに選択的にゲートする選択論理ゲート手段を設けるステップを含み、書込み動作中に前記キャッシュ SDRAM に入力されるデータ

を、前記センス増幅器によって受取って、前記メモリ・バンク・アレイに書込み、読取り動作中に前記キャッシュ SDRAM から出力されるデータを、前記行レジスタのみから読出し、前記行レジスタに含まれる前記データ行は、最初に、前記メモリ・バンク・アレイから前記センス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記行レジスタに選択的にゲートされ、書込みサイクル中に標準 SDRAM の通常動作モードに相当する書込み転送モードで動作し、および書込みサイク

ル中に交互動作モードに従う非書込み転送モードで動作し、これにより、それぞれ第 1 および第 2 のキャッシュ・ポリシーの下で動作するように、前記キャッシュ SDRAM をプログラムするステップを含む、ことを特徴とするプログラマブル・ポリシー実行方法。

(10) 前記選択論理ゲート手段は、前記プログラミング手段からの制御信号に応答し、書込み転送モードの際、および書込みコマンドの発生時に、前記キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記センス増幅器から前記行レジスタに自動的にロードするものであり、さらに、非書込み転送モードの際および書込みコマンドの発生時に、キャッシュ・ポリシーは、前記選択論理ゲート手段が、前にアクティベートされた行を、前記行レジスタに転送しないものであり、後者の例では、前記行レジスタは、独立キャッシュ読取りバンクとして働き、前記メモリ・バンク・アレイは、半独立 DRAM 書込みバンクとして働く、ことを特徴とする上記 (9) に記載のプログラマブル・ポリシー実行方法。

(11) 前記行デコーダによって選択されたデータ行が、前記行レジスタのゲートにゲートされる読取り動作の後に、および前記メモリ・バンク・アレイ内の同一データ行に影響を与える追加の後続の同期メモリ動作の発生時に、前記選択論理ゲート手段は、ビット・ラインに存在する影響を受けたデータ行を、前記行レジスタにゲートし、これにより行データ・コヒーレンスを保持する、ことを特徴とする上記 (9) に記載のプログラマブル・ポリシー実行方法。

(12) 第 2 の同期ダイナミック・ランダム・アクセス・メモリ (SDRAM) バンクを設けるステップを含み、このバンクは、第 2 のメモリ・バンク・アレイに接続され、前記第 2 のメモリ・バンク・アレイ内の第 2 のデータ行を選択する第 2 の行デコーダと、第 2 のビット・ラインを経て前記第 2 のメモリ・バンク・アレイに接続され、前記第 2 の行デコーダによって選択された前記第 2 のデータ行をラッチする第 2 のセンス増幅器と、前記第 2 のデータ行の所望の列を選択する第 2 の同期列選択手段とを有し、前記第 2 のセンス増幅器によってラッチされたデータ行を格納する第 2 のランダムにアクセス可能なレジスタを設けるステップを含み、前記第 2 のセンス増幅器と前記第 2 の行レジスタとの間に設けられ、実行される前記キャッシュ SDRAM の特定の同期メモリ動作に従って、前記第 2 のビット・ラインに存在する前記データ行を、前記第 2 の行レジスタに選択的にゲートする第 2 の選択論理ゲート手段を設けるステップを含み、書込み動作中に前記キャッシュ SDRAM に入力されるデータを、前記第 2 のセンス増幅器によって受取って、前記第 2 のメモリ・バンク・アレイに書込み、読取り動作中に前記第 2 のキャッシュ SDRAM から出力されるデータを、前記第 2 の行レジスタのみから読出し、

前記第2の行レジスタに含まれる前記データ行は、最初に、前記第2のメモリ・バンク・アレイから前記第2のセンス増幅器に読出され、次に、前記特定の同期メモリ動作に従って、前記第2の行レジスタに選択的にゲートされる、ことを特徴とする上記(9)に記載のプログラマブル・ポリシー実行方法。

(13) 前記キャッシュSDRAMプログラミングは、モード・レジスタの利用を含む、ことを特徴とする上記(9)に記載のプログラマブル・ポリシー実行方法。

(14) 前記キャッシュSDRAMプログラミングは、ワイヤ・ボンディング・オプションの利用を含む、ことを特徴とする上記(9)に記載のプログラマブル・ポリシー実行方法。

(15) 前記キャッシュSDRAMプログラミングは、金属マスク・オプションの利用を含む、ことを特徴とする上記(9)に記載のプログラマブル・ポリシー実行方法。

【図面の簡単な説明】

【図1】既知の(2Mビット×4I/O×2バンク)同期ダイナミック・ランダム・アクセス・メモリ・デバイスのブロック図である。

【図2】既知の(2Mビット×4I/O×2バンク)同期ダイナミック・ランダム・アクセス・メモリ・デバイスのブロック図である。

【図3】既知のSDRAMのモード・レジスタのプログラミングと共に用いられるアドレス入力の例を示す図である。

【図4】本発明のキャッシュ(2Mビット×4I/O×2バンク)同期ダイナミック・ランダム・アクセス・メモリ・デバイスのブロック図である。

【図5】本発明のキャッシュ(2Mビット×4I/O×2バンク)同期ダイナミック・ランダム・アクセス・メモリ・デバイスのブロック図である。

【図6】図4および図5に詳細に示される本発明のキャッシュSDRAMの一部を示す図である。

【図7】本発明のプログラマブル・キャッシュ・ポリシーの一部を説明するフロー図である。

【図8】本発明のキャッシュSDRAMのモード・レジスタのプログラミングと共に用いられるアドレス入力の例を示す図である。

【図9】キャッシュ(ページ)読取り(バースト長=4, CAS待ち時間=2)中の自動リフレッシュ・コマンドの例を示す図である。

【図10】読取りミス(バースト長=4, CAS待ち時間=2)が続く読取りの例を示す図である。

【図11】書込みミス(バースト長=4, CAS待ち時間=2)が続く読取りの例を示す図である。

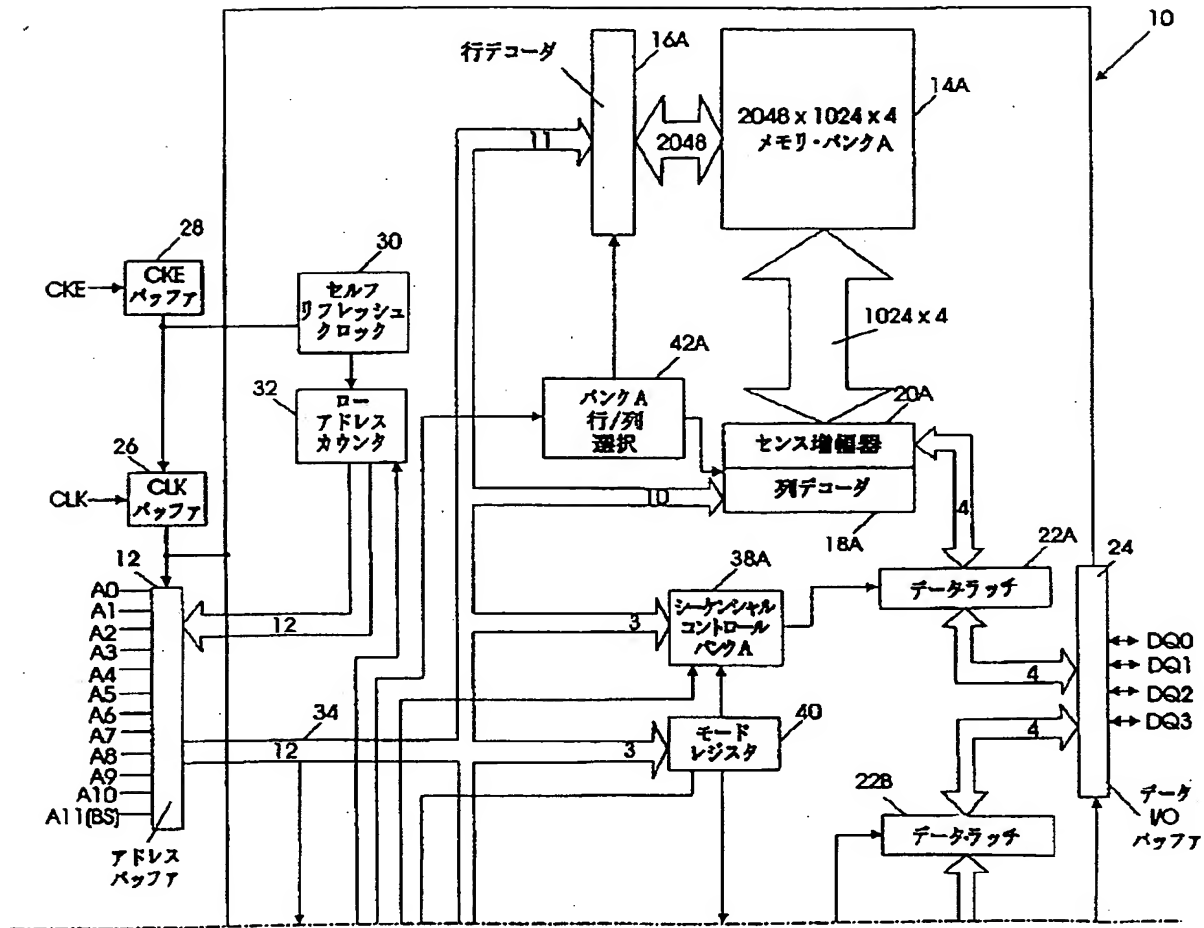
【図12】同一バンクに対するランダム行読取りに対し、標準SDRAM对本発明のキャッシュSDRAMのタイミング図の比較を示す図である。

【図13】同一バンクに対するランダム行読取りに対し、標準SDRAM对本発明のキャッシュSDRAMのタイミング図の比較を示す図である。

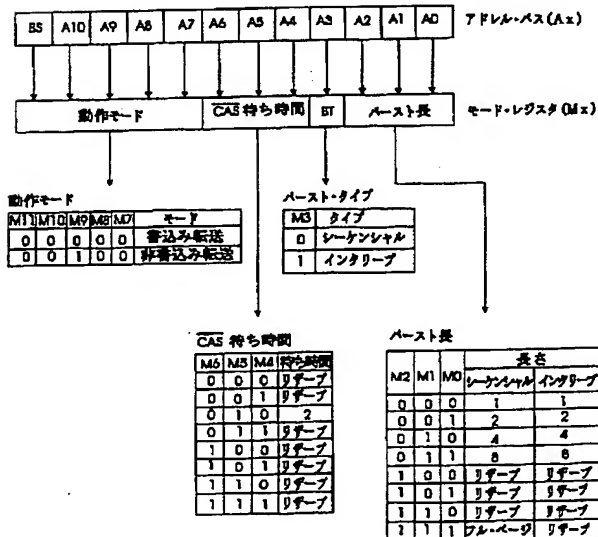
【符号の説明】

100 キャッシュSDRAM
102 統合キャッシュ
104 メモリ・バンク
106 センス増幅器および選択論理ゲート手段
108 モード・レジスタ
116 行デコーダ
118 列デコーダ
119 ビット・ライン
120 センス増幅器
121 選択論理ゲート手段
122 データ・ラッチ
124 データ入力/出力バッファ

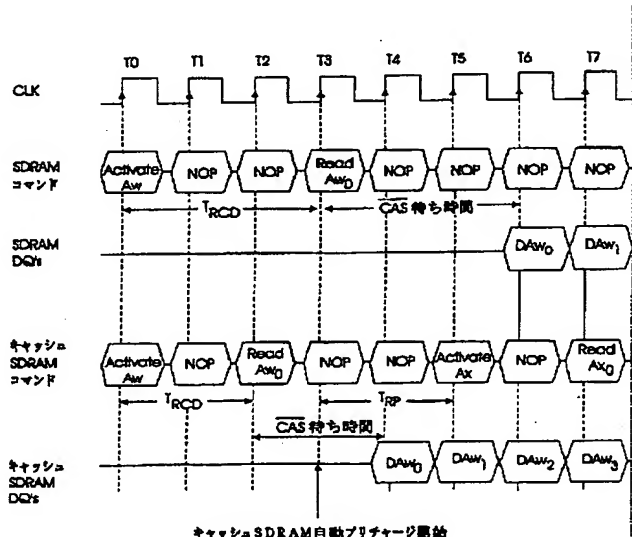
【図1】



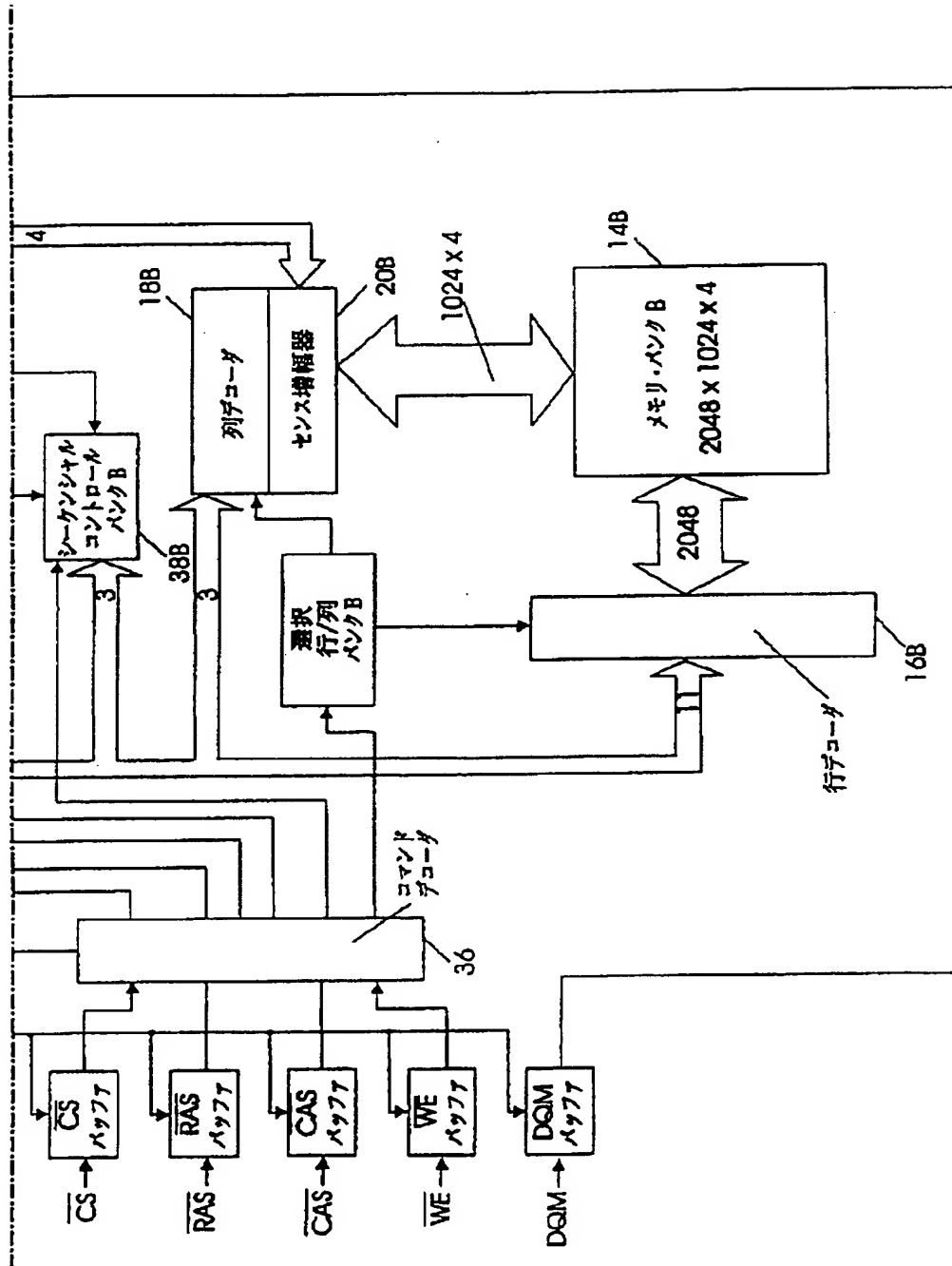
【図8】



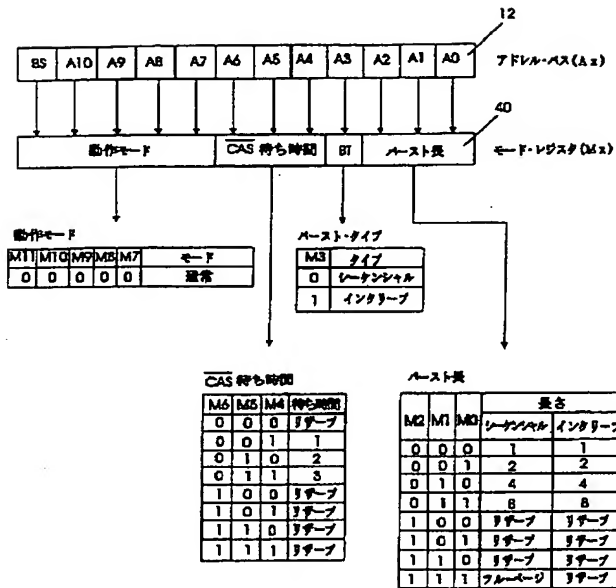
【図12】



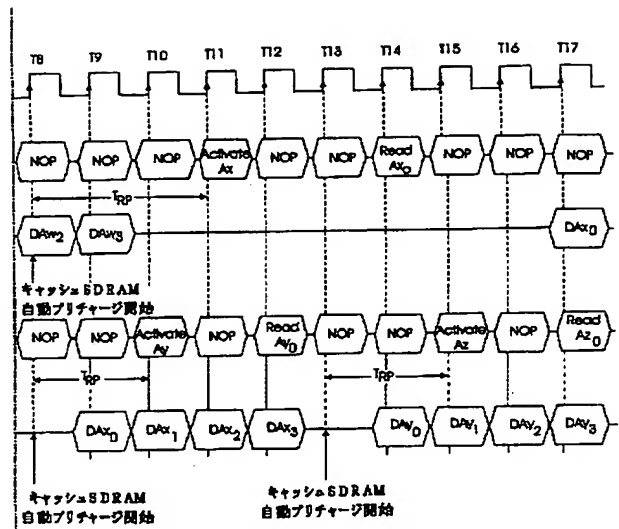
【圖 2】



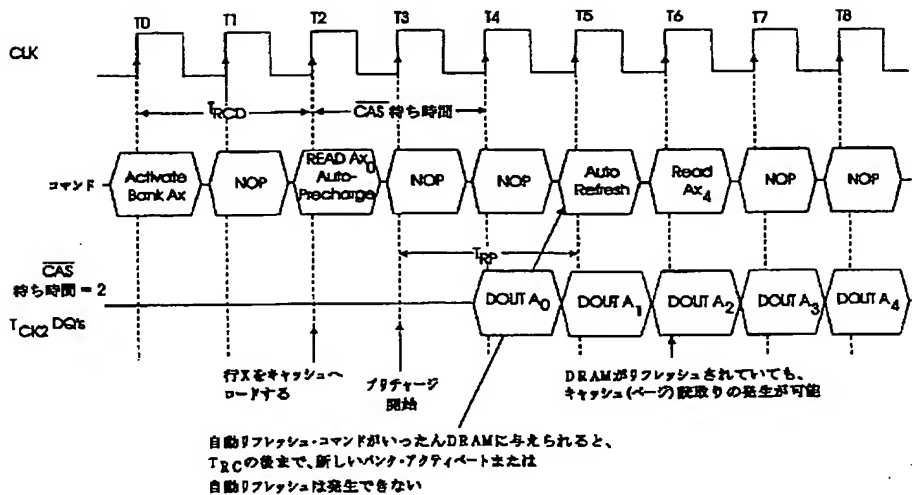
【図 3】



【図 13】



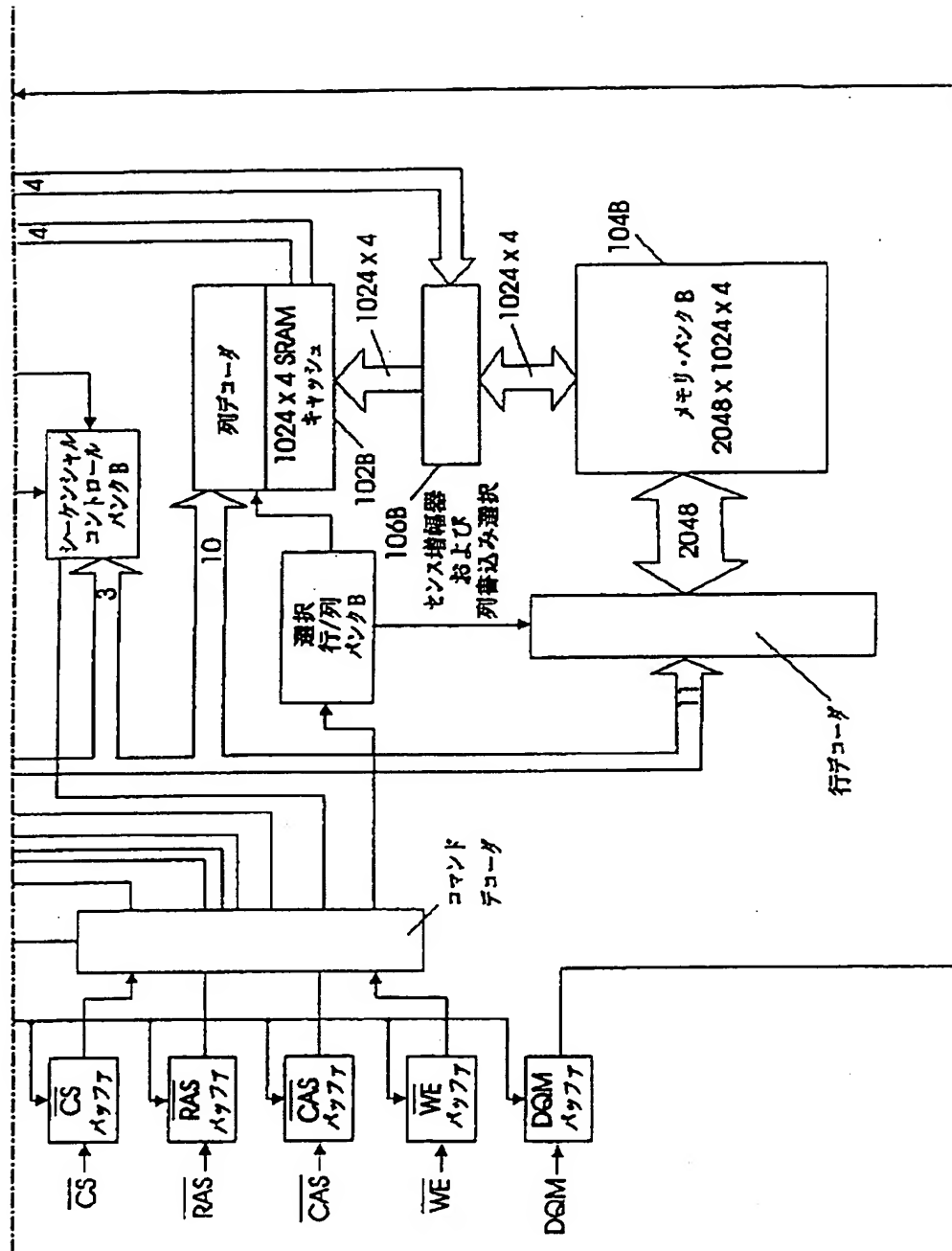
【図 9】



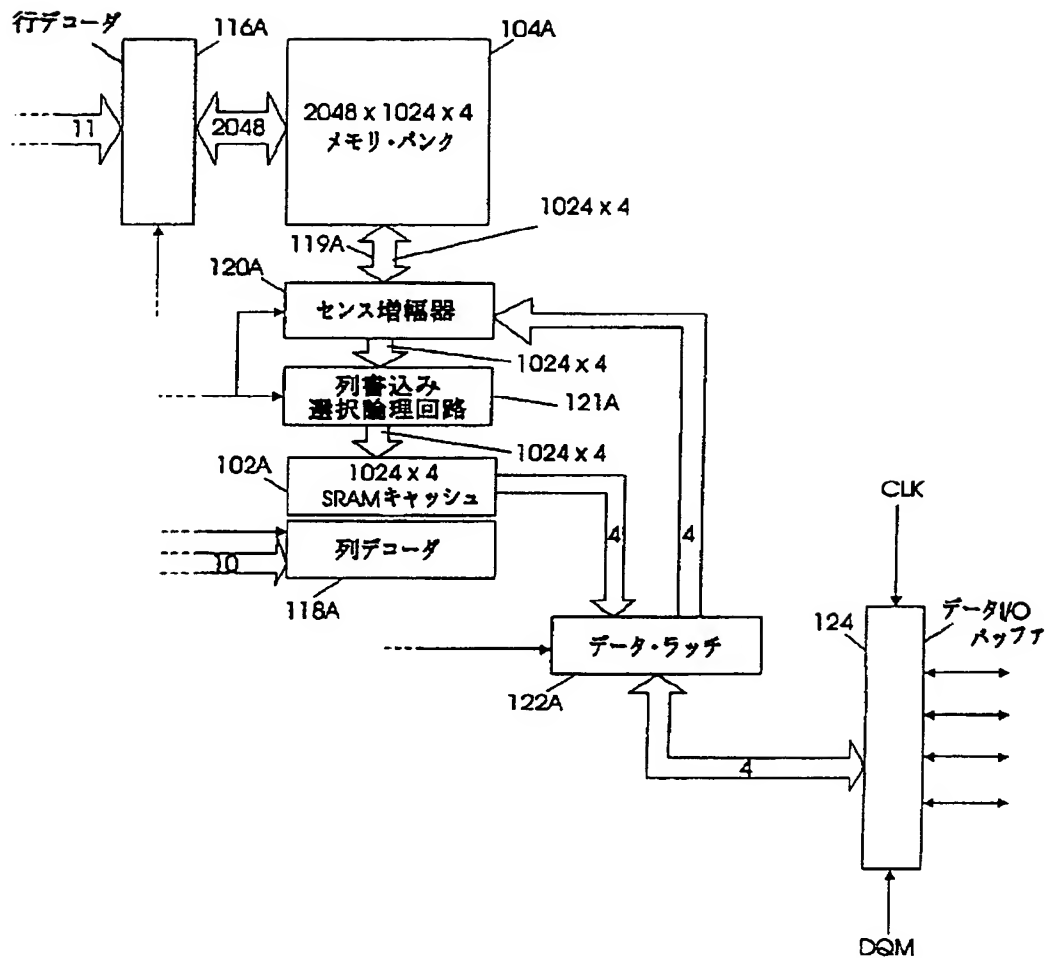
[illegible]

Figure 1 is a timing diagram for a 2T1 clock system. The horizontal axis represents time, divided into clock cycles T0 through T9. The vertical axis shows three signals: CLK (clock), COMMAND, and CAS (data strobe). The COMMAND signal contains a sequence of operations: READ Ax0 Auto-Precharge (T0), NOP (T1), NOP (T2), Activate Bank Az (T3), NOP (T4), READ Ay0 Auto-Precharge (T5), NOP (T6), NOP (T7), Activate Bank Az (T8), and NOP (T9). The CAS signal shows data outputs: DOUT Ax0 (T2), DOUT Ax1 (T3), DOUT Ax2 (T4), DOUT Ax3 (T5), DOUT Ay0 (T8), DOUT Ay1 (T9), and DOUT Ay2 (T10). Timing parameters are indicated: Trp (row precharge time) from T1 to T2, Trcd (row to column delay) from T3 to T4, and Trc (row cycle time) from T3 to T8. Annotations explain that the CAS latency is 2 clock cycles (Tclk), and that the first data output (DOUT Ax0) occurs at T2, which is 2 clock cycles after the first command (T0). The diagram also shows that the first data output (DOUT Ax0) occurs at T2, which is 2 clock cycles after the first command (T0). The diagram also shows that the first data output (DOUT Ax0) occurs at T2, which is 2 clock cycles after the first command (T0).

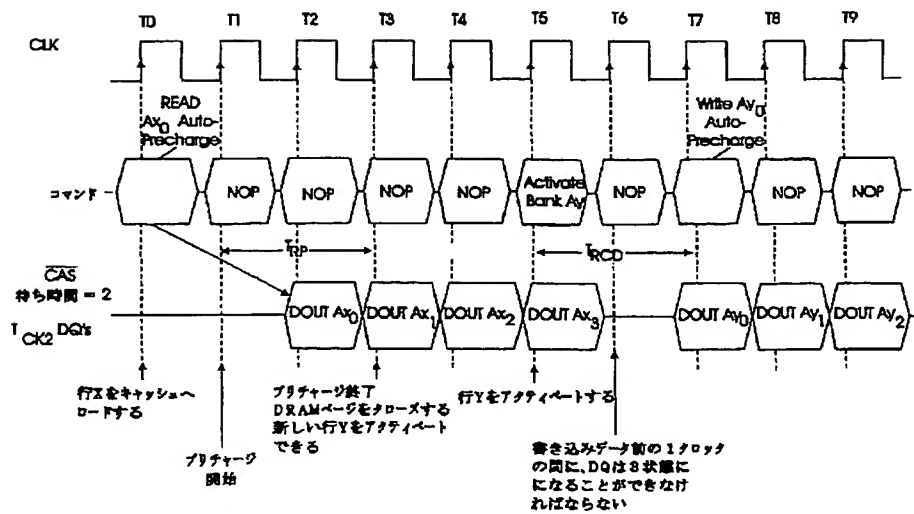
【図 5】



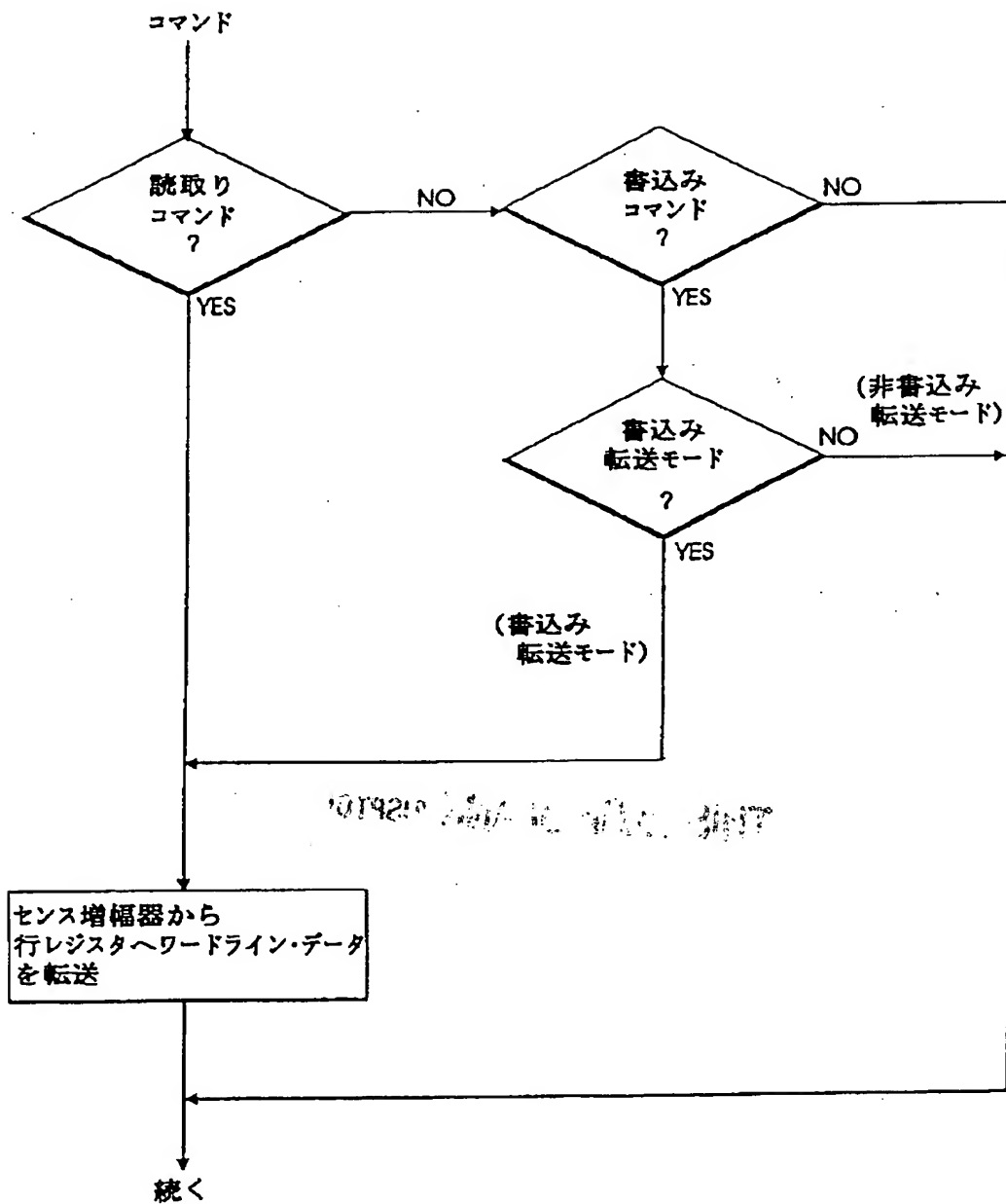
【図6】



【図11】



【図 7】



フロントページの続き

(72) 発明者 スティーヴン・ウィリアム・トマシヨット
アメリカ合衆国 05495 バーモント州
ウィリントン テラス ドライブ 63

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)